



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ(21), (22) Заявка: **2009120270/09, 28.05.2009**(24) Дата начала отсчета срока действия патента:
28.05.2009(45) Опубликовано: **10.07.2010** Бюл. № 19(56) Список документов, цитированных в отчете о
поиске: **SU 892729 A1, 23.12.1981. RU 2331105 C1,
10.08.2008. SU 369715 A1, 01.01.1973. US
5610537 A, 11.03.1997. US 6339347 B1,
15.01.2002. GB 1183084 A, 04.03.1970.**

Адрес для переписки:

**119421, Москва, В-421, ул. Обручева, 16,
корп.2, кв.57, С.П. Маслову**

(72) Автор(ы):

Маслов Сергей Петрович (RU)

(73) Патентообладатель(и):

Маслов Сергей Петрович (RU)**(54) ПОРОГОВЫЙ ЭЛЕМЕНТ ТРОИЧНОЙ ЛОГИКИ И УСТРОЙСТВА НА ЕГО ОСНОВЕ**

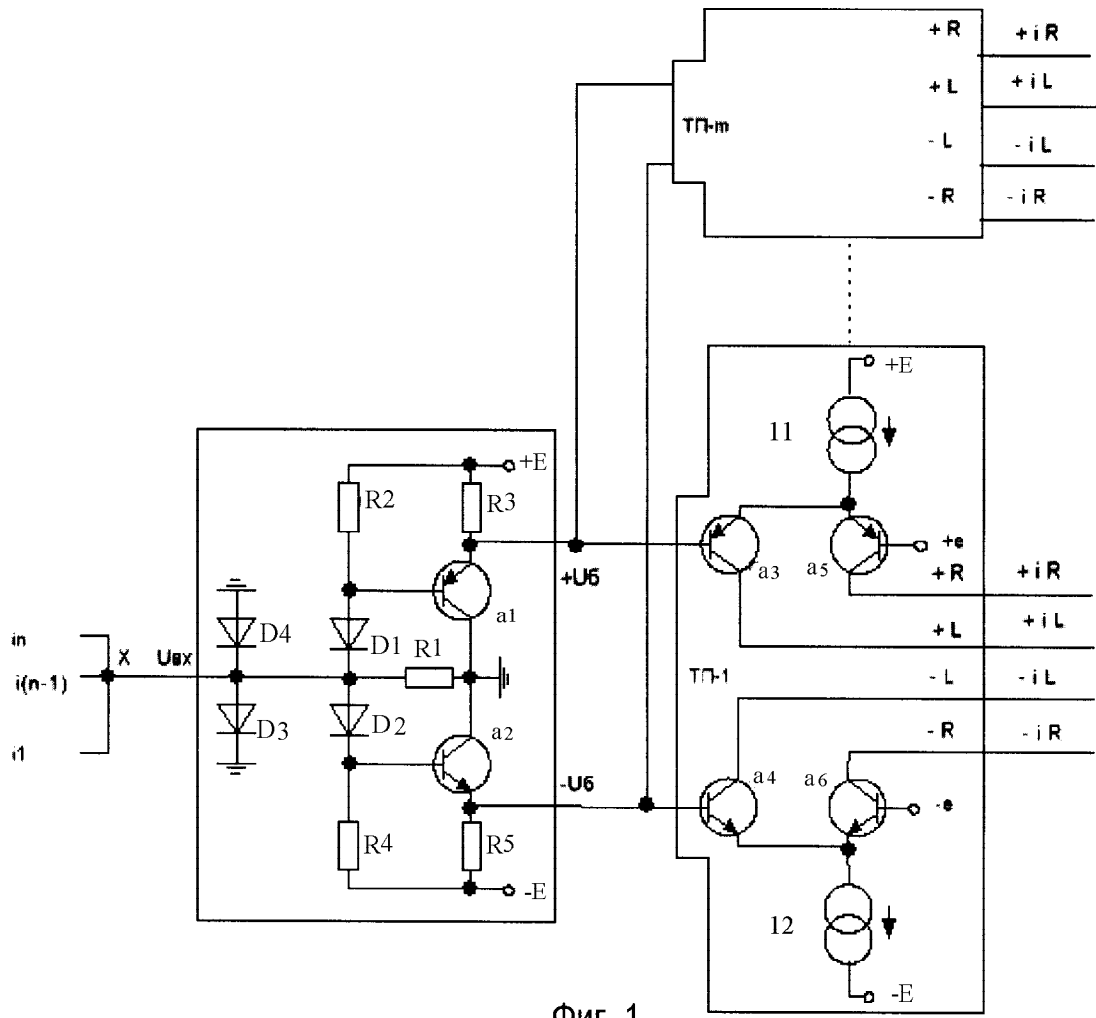
(57) Реферат:

Изобретение относится к цифровой вычислительной технике и может быть использовано для реализации на ненасыщенных комплементарных биполярных транзисторах троичных логических устройств. Техническим результатом изобретения является повышение технологичности изготовления и быстродействия пороговых элементов троичной логики с одновременным снижением их размеров и энергопотребления. Для этого пороговый элемент состоит из двух блоков: блока эмиттерных повторителей (ЭП) и подключенных в параллель к ЭП m блоков токовых переключателей (ТП-1 - ТП- m). ЭП реализованы на n - p - n транзисторе Q2 и p - n - p транзисторе Q1, резисторах R5 и R3. Первый повторитель включен между шиной "ОБЩ" и

шиной питания "-E", второй - между шиной питания "+E" и шиной "ОБЩ". Каждый блок ТП содержит 2 переключателя тока на n - p - n транзисторах Q4, Q6 и p - n - p транзисторах Q3, Q5. Токи фиксированной величины I_{ϕ} формируются источниками тока I1 и I2, подключенными соответственно к шинам питания "+E" и "-E". Управление переключателями тока осуществляется от ЭП по базам транзисторов Q3, Q4. Базы транзисторов Q5, Q6 подключены к источникам опорного напряжения +e и -e. Изобретение также раскрывает Двухвходовое устройство "И" троичной логики и Устройство "Троичный полусумматор", выполненные на основе пороговых элементов троичной логики. 3 н.п. ф-лы, 5 ил., 10 табл.

RU 2 3 9 4 3 6 6 C 1

RU 2 3 9 4 3 6 6 C 1



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.
H03K 19/00 (2006.01)

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2009120270/09, 28.05.2009**

(24) Effective date for property rights:
28.05.2009

(45) Date of publication: **10.07.2010 Bull. 19**

Mail address:

**119421, Moskva, V-421, ul. Obrucheva, 16, korp.2,
kv.57, S.P. Maslovu**

(72) Inventor(s):

Maslov Sergej Petrovich (RU)

(73) Proprietor(s):

Maslov Sergej Petrovich (RU)

(54) THRESHOLD ELEMENT OF TERNARY LOGIC AND DEVICES ON ITS BASIS

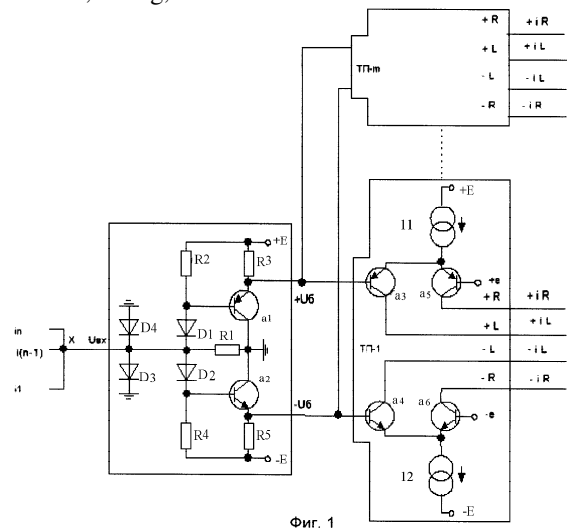
(57) Abstract:

FIELD: electric engineering.

SUBSTANCE: threshold element consists of two units: unit of emitter repeaters (ER) and m units of current switches (CS-1 - CS-m) connected parallel to ER. ER are based on n-p-n transistor Q2 and p-n-p transistor Q1, resistors R5 and R3. The first repeater is connected between busbar "COMMON" and supply bus "-E", the second one - between supply bus "+E" and "COMMON" busbar. Each unit of CS comprises two current switches based on n-p-n transistors Q4, Q6 and p-n-p transistors Q3, Q5. Currents of fixed value I_f are generated by current sources I1 and I2 connected accordingly to supply buses "+E" and "-E". Control of current switches is done from ER along bases of transistors Q3, Q4. Bases of transistors Q5, Q6 are connected to sources of reference voltage +e and -e. Invention also describes Double-input device "AND" of ternary logic, and Device "Ternary half-adder" arranged on the basis of threshold elements of ternary logic.

EFFECT: improved manufacturability and efficiency of threshold elements of ternary logic with simultaneous reduction of their dimensions and power consumption.

3 cl, 5 dwg, 10 tbl



RU 2 394 366 C1

RU 2 394 366 C1

Группа изобретений относится к устройствам цифровой вычислительной техники, в частности к недвоичной схемотехнике. Создан троичный логический элемент на биполярных комплементарных ненасыщенных транзисторах, на базе которого реализованы устройства троичной логики, такие как формирователь трехзначных констант, троичный повторитель, троичный нециклический инвертор, троичные

схемы "ИЛИ", "И" и Троичный полусумматор. Перспективным направлением развития вычислительной техники является использование отличных от двоичной систем счисления, позволяющих сделать недвоичный компьютер более совершенным математико-логическим инструментом, чем двоичный. Одно из препятствий на этом пути заключается в отсутствии недвоичных логических элементов, реализованных на современной технологической основе, и проверенных схемотехнических решений, касающихся устройства узлов недвоичных компьютеров.

Особое место среди недвоичных систем счисления занимает симметричная троичная система с цифрами -1, 0, +1, которая нашла практическое воплощение в троичных ЭВМ "Сетунь" [1, 2]. Схемные и структурные решения, использованные в них и проверенные практически, могут найти применение в современной цифровой технике.

Известны пороговые элементы троичной логики (ПЭТЛ), на которых построены ЭВМ "Сетунь" [3]. Характерной особенностью ПЭТЛ является представление троичных значений -1, 0, +1 дискретными фиксированными токами $-I_{\phi}$, 0, $+I_{\phi}$, выполнение пороговых функций троичной логики путем алгебраического сложения токов (ампервитков) во входных цепях элементов, возможность разделять троичные значения на их двузначные компоненты, возможность составлять троичные значения из их двузначных компонент. ПЭТЛ выполнены на основе электромагнитной техники на магнитных сердечниках с ППГ [4], обладают низким быстродействием и не могут быть реализованы средствами современных интегральных полупроводниковых технологий.

Прототипом изобретения является двоичный элемент эмиттерно-связанной логики (ЭСЛ) [5]. Элементы ЭСЛ выполнены на биполярных ненасыщенных p-n-p транзисторах и реализуются средствами современных интегральных технологий. Они содержат детали и узлы, входящие в состав предлагаемого порогового элемента троичной логики. В существующем виде ЭСЛ-схемотехника не оперирует с разнополярными токами и не обеспечивает выполнения пороговых функций не только троичной, но и двоичной логик. Для осуществления этих функций существующий двоичный ЭСЛ-элемент модифицируется путем прибавления к его схеме симметричной комплементарной схемы на p-n-p транзисторах. Модифицированный элемент оперирует с разнополярными токами, используемыми также, в отличие от прототипа, в качестве сигналов межэлементных связей, поддерживает алгебраическое суммирование этих сигналов во входной цепи.

Техническим результатом изобретения является повышение технологичности изготовления и быстродействия пороговых элементов троичной логики с одновременным снижением их размеров и энергопотребления.

Предлагаемые пороговые элементы троичной логики характеризуются следующим.

1. Троичные -1, 0, +1 на входе и выходах элемента представляются фиксированными токами $-I_{\phi}$, 0, $+I_{\phi}$.
2. Обеспечивается алгебраическое суммирование токов во входной цепи.
3. Обеспечивается разделение троичного значения на двузначные компоненты.
4. Обеспечивается объединение двузначных компонент в троичное значение.

5. Обеспечивается подключение к выходу элемента нескольких входов.

Раскрытие изобретения

Первым аспектом изобретения является Пороговый элемент троичной логики, содержащий блок эмиттерных повторителей и от одного до m блоков токовых переключателей, причем блок эмиттерных повторителей состоит из двух эмиттерных повторителей, один из которых включает третий резистор и первый транзистор p-n-p типа, другой - пятый резистор и второй транзистор n-p-n типа, коллекторы упомянутых транзисторов соединены между собой и подключены к общей шине элемента, а эмиттеры первого и второго транзисторов p-n-p типа и n-p-n типа через соответствующие резисторы соединены соответственно с шинами положительного и отрицательного питания элемента, вход блока эмиттерных повторителей является входом элемента, который предназначен для подачи токовых сигналов и соединен с первым выводом первого резистора, подключенным к анодам второго и третьего диодов и катодам первого и четвертого диодов, причем катод третьего и анод четвертого диодов и второй вывод первого резистора соединены с общей шиной элемента, анод первого диода соединен с базой первого транзистора p-n-p типа одного из эмиттерных повторителей и через второй резистор с шиной положительного питания элемента, с шиной отрицательного питания которого соединен через четвертый резистор катод второго диода и база второго транзистора n-p-n типа другого из эмиттерных повторителей, эмиттеры первого и второго транзисторов блока эмиттерных повторителей подключены к базам третьего транзистора p-n-p типа и четвертого транзистора n-p-n типа блока токовых переключателей соответственно, коллекторы которых и коллекторы пятого и шестого транзисторов p-n-p и n-p-n типа являются с первой по четвертую выходными шинами элемента, эмиттеры третьего и пятого транзисторов p-n-p типа через первый источник тока соединены с шиной положительного питания элемента, эмиттеры четвертого и шестого транзисторов n-p-n типа через второй источник тока соединены с шиной отрицательного питания элемента, база пятого транзистора p-n-p типа соединена с источником положительного опорного напряжения элемента, база шестого транзистора n-p-n соединена с источником отрицательного опорного напряжения элемента.

Вторым аспектом изобретения является Двухвходовая схема "И", которая содержит пять идентичных элементов троичной логики, первая и вторая выходные шины первого и второго, вторая и четвертая выходные шины третьего и первая и третья выходные шины четвертого пороговых элементов троичной логики соединены с общей шиной устройства, входы первого и второго пороговых элементов троичной логики являются входами троичных переменных устройства, третьи выходы первого и второго пороговых элементов троичной логики объединены со второй и четвертой выходными шинами пятого порогового элемента троичной логики и соединены с входом третьего порогового элемента троичной логики, четвертые выходные шины первого и второго пороговых элементов троичной логики объединены с первой и третьей выходными шинами пятого порогового элемента троичной логики и соединены с входом четвертого порогового элемента троичной логики, вторая выходная шина которого объединена с первой выходной шиной третьего порогового элемента троичной логики и является инверсным выходом устройства, прямым выходом которого является третья выходная шина третьего порогового элемента троичной логики, объединенного с четвертой выходной шиной четвертого порогового элемента троичной логики.

Третьим аспектом изобретения является схема Троичного полусумматора, которая

содержит четыре элемента троичной логики с одним и два элемента троичной логики с двумя блоками токовых переключателей, при этом первые и вторые выходные шины первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей объединены и соединены с входом четвертого порогового элемента троичной логики с одним блоком токовых переключателей, первая и вторая выходные шины которого объединены с первыми выходными шинами первого и второго блоков токовых переключателей первого элемента троичной логики с двумя блоками токовых переключателей, со вторыми выходными шинами первого и второго блоков токовых переключателей второго элемента троичной логики с двумя блоками токовых переключателей и является выходом суммы устройства, третьи выходные шины первого, второго и вторая и четвертая выходные шины третьего пороговых элементов троичной логики с одним блоком токовых переключателей объединены и соединены с входом первого элемента троичной логики с двумя блоками токовых переключателей, третья выходная шина второго блока токовых переключателей которого является выходной шиной переноса устройства и объединена с четвертой выходной шиной первого блока токовых переключателей второго блока троичной логики с двумя блоками токовых переключателей, вход которого объединен с третьей и первой выходными шинами третьего порогового элемента троичной логики с одним блоком токовых переключателей и четвертыми выходными шинами первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей, третья, вторая, четвертая выходные шины первого блока токовых переключателей и вторая и четвертая выходные шины второго блока токовых переключателей первого порогового элемента троичной логики с двумя блоками токовых переключателей объединены с первой и третьей выходными шинами первого и второго блоков токовых переключателей второго элемента троичной логики с двумя блоками токовых переключателей, с четвертой выходной шиной второго блока токовых переключателей второго порогового элемента троичной логики с двумя блоками токовых переключателей и общей шиной устройства, входы первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей соединены со входами первого и второго слагаемых устройства.

На фиг.1 представлена электрическая схема Порогового элемента троичной логики. Фиг.2 содержит эпюры сигналов, иллюстрирующих работу элемента. На фиг.3 представлены варианты реализации простейших функций троичной логики. На Фиг.4 показана Двухвходовая троичная схема "И". На фиг.5 дается схема Троичного полусумматора.

Элемент пороговой троичной логики (Фиг.1) состоит из блоков: блока эмиттерных повторителей (ЭП) и подключенных в параллель к ЭП m блоков токовых переключателей (ТП-1 - ТП- m). В состав элемента должен входить по крайней мере один блок ТП.

ЭП состоит из двух эмиттерных повторителей, один из которых включает в себя n - p - n транзистор Q2 и резистор R5, другой - p - n - p транзистор Q1 и резистор R3.

Каждый блок ТП состоит из двух переключателей тока: один выполнен на n - p - n транзисторах Q4, Q6, другой - на p - n - p транзисторах Q3, Q5. Токи фиксированной величины I_{ϕ} формируются источниками тока I1 и I2. Управление переключателями тока осуществляется от ЭП по базам транзисторов Q3, Q4. Базы транзисторов Q5, Q6 подключены соответственно к источникам опорного напряжения $+e$ и $-e$. (Входящие в состав элемента блоки ЭП и ТП, источники тока I1 и I2, формирователи опорных напряжений $+e$ и $-e$ могут быть выполнены методами и приемами из арсенала ЭСЛ-

схемотехники [5]).

Переключаемые токи (+iR, +iL, -iL, -iR) фиксированной величины I_{ϕ} с коллекторов транзисторов Q5, Q3, Q4, Q6 поступают на третий +R, первый +L, второй -L и четвертый -R выходы элемента соответственно. В зависимости от числа m блоков ТП элемент может иметь m комплектов выходов (+R, +L, -L, -R), при этом сигналы на одноименных выходных шинах идентичны.

К входу элемента могут быть подключены в параллель от 1 до n выходных шин предшествующих элементов, по каждой из которых поступает дискретный токовый сигнал i_k , имеющий, вообще говоря, одно из трех значений ($i_k=+I_{\phi}$, $i_k=0$, $i_k=-I_{\phi}$). Ток, равный алгебраической сумме входных токов, протекает по резистору R1 и создает на нем падение напряжения $U_{вх}$, которое ограничивается сверху и снизу диодами D4 и D3. $U_{вх}$ со сдвигами, равными прямым падениям напряжения на диодах D1 и D2 в результате протекания по ним токов, задаваемого резисторами R2 и R4, поступают на базы транзисторов Q1 и Q2 соответственно. Напряжения +Uб с эмиттера транзистора Q1 и -Uб с эмиттера Q2 и подаются соответственно на базы транзисторов Q3 и Q4 в блоках ТП и управляют переключателями тока.

Пороговый элемент троичной логики может находиться в одном из трех состояний. Если алгебраическая сумма входных токов нулевая - $U_{вх}=0$. Если втекающих токов больше, чем вытекающих, $U_{вх}>0$, в противном случае $U_{вх}<0$.

Если $U_{вх}=0$, то +Uб<+e, а -Uб>-e и токи, формируемые источниками тока I1 и I2, протекают соответственно по коллекторным цепям транзисторов Q3 и Q4. Если $U_{вх}>0$, то +Uб>+e и происходит переключение тока из коллекторной цепи транзистора Q3 в коллекторную цепь транзистора Q5. Если $U_{вх}<0$, то -Uб<-e и происходит переключение тока из коллекторной цепи транзистора Q4 в коллекторную цепь транзистора Q6.

Сказанное выше является описанием функционирования предлагаемого элемента как электрической схемы и иллюстрируется эпюрами внешних и внутренних сигналов, приведенными на Фиг.2, а также таблицей 1.

Таблица 1				
$U_{вх}$	>0	=0	<0	
+iR	+ I_{ϕ}	0	0	
-iR	0	0	- I_{ϕ}	
+iL	0	+ I_{ϕ}	+ I_{ϕ}	
-iL	- I_{ϕ}	- I_{ϕ}	0	

В логических терминах функционирование элемента описывается следующим образом: (терминология троичной схемотехники не устоялась, поэтому используемые здесь названия для логических функций условны. Они заимствованы из двоичной логики и из набора терминов, приведенных в описаниях ЭВМ "Сетунь" [1]. Во избежание двусмысленности следует руководствоваться таблицами истинности).

На вход X элемента поступают n дискретных трехзначных сигналов, значение каждого из которых +1, 0 или -1.

$$n=n_{+1}+n_{-1}+n_0$$

где n_{+1} - число сигналов, текущие значения которых +1,

n_{-1} - число сигналов, текущие значения которых -1,

n_0 - число сигналов, текущие значения которых 0.

Выполняемое элементом преобразование описывается функцией $tersgn(n_{+1}, n_{-1}, n_0)$ трехзначной пороговой логики [3], определенной следующим образом:

$$\text{tersgn}(n_{+1}, n_{-1}, n_0) = \begin{cases} +1 & \text{если } (n_{+1} - n_{-1}) > 0 \\ 0 & \text{если } (n_{+1} - n_{-1}) = 0 \\ -1 & \text{если } (n_{+1} - n_{-1}) < 0 \end{cases}$$

5 Дискретные значения $(n_{+1}-n_{-1})$: $-n, \dots, -2, -1, 0, +1, +2, \dots, +n$

Троичная переменная $\text{tersgn}(n_{+1}, n_{-1}, n_0)$ представлена на выходах элемента двумя парами ее двузначных компонент - двухразрядных двоичных значений [+R, -R] и [+L, -L]. Соответствие значений компонент значениям $\text{tersgn}(n_{+1}, n_{-1}, n_0)$ дано в

10

Таблица 2			
$\text{tersgn}(n_{+1}, n_{-1}, n_0)$	+1	0	-1
+R	+1	0	0
-R	0	0	-1
+L	0	+1	+1
-L	-1	-1	0

15

Соединение выходов элемента друг с другом и с выходами других элементов и преобразование $\text{tersgn}(n_{+1}, n_{-1}, n_0)$ составляет арсенал средств, позволяющих

20

реализовывать на предлагаемых пороговых элементах троичной логики различные логические и технологические функции.

На Фиг.3 показаны три варианта реализации простейших функций на одном элементе. Варианты различаются способами соединения выходов и количеством

25

подключаемых входов. (На Фиг.3 и далее пороговые элементы изображаются в виде прямоугольников со входами X и одним или несколькими комплектами выходов +R, +L, -L, -R. В последнем случае внутри прямоугольника указывается число

30

блоков ТП в элементе).
Элемент ЭЗ.1 реализует функцию "формирователя констант" (ФК). Он имеет 2

35

выхода: +1 и -1. При любом троичном значении на входе на его выходах постоянно выставлены +1 и -1 (дискретные токи фиксированной величины $+I_{\phi}$ и $-I_{\phi}$). Назначение ФК - задавать в нужных точках схемы постоянное троичное значение: +1 и -1. (Таким

40

способом осуществляют привязку требуемой точки устройства к заданному логическому значению, используя стандартный узел).

Элемент ЭЗ.2 имеет один вход (А) и два выхода: повторитель входной переменной А (ПВТ) и троичный циклический инвертор входной переменной А (ИНВ).

Элемент ЭЗ.3 является троичной двухвходовой (входы А и В) схемой ИЛИ. Она имеет два выхода - прямой и инверсный: А ИЛИ В, и НЕ(А ИЛИ В).

45

В таблицах 3, 4, 5 и 6 приведены таблицы истинности для схем Фиг.3.

Таблица 3		ФК
А	+С= (+R) + (+L)	-С= (-R) + (-L)
+1	+1	-1
0	+1	-1
-1	+1	-1

50

Таблица 4

А	ПВТ= (+R) + (-R)	ИНВ= (+L) + (-L)
+1	+1	-1
0	0	0
-1	-1	+1

Таблица 5 **ИЛИ**

А \ В	+1	0	-1
+1	+1	+1	0
0	+1	0	-1
-1	0	-1	-1

Таблица 6 **НЕ (ИЛИ)**

А \ В	+1	0	-1
+1	-1	-1	0
0	-1	0	+1
-1	0	+1	+1

Для реализации троичных логических и операционных структур, вообще говоря, используют несколько элементов. Схемотехника пороговых элементов троичной логики имеет две особенности: троичность и использование дискретных токовых сигналов (СТ-сигналы) вместо дискретных сигналов напряжения (СН-сигналы) в традиционных полупроводниковых схемотехниках (ТТЛ, КМОП и др.).

Троичность: трехзначные сигналы (-1, 0, +1) в схеме могут фигурировать в явном виде и в виде их двузначных компонент. Двузначные компоненты +R, -R, +L, -L (представленные токовыми сигналами на выходах элементов) могут объединяться. В схемах на Фиг.3 объединение осуществляется на выходе элемента, в котором произошло разделение. В более сложных схемах троичное значение, вообще говоря, может формироваться путем объединения двузначных компонент, поступивших с выходов разных элементов. Для реализации некоторых функций могут потребоваться предварительные преобразования двузначных компонент по отдельности.

Особенности СН-элементов и их отличия от СТ-элементов

У СН-элементов высокоомные входы и низкоомные выходы. К их выходам можно подключать в параллель несколько входов, а сами выходы, как правило, нельзя объединять. Для СН-схемотехник типичны элементы с несколькими входами и одним выходом.

У СТ-элементов высокоомные выходы и низкоомные входы. Выходы элементов объединять можно, а входы - нельзя. Для подключения к одному выходу СТ-элемента нескольких входов их следует соединять не в параллель, а последовательно. У элементов "Сетуни", функциональным аналогом которых является предлагаемый элемент, входами являются изолированные обмотки сердечников с ППГ, проблем с последовательным соединением которых не возникает. В интегральной полупроводниковой электронике нет аналогов изолированных обмоток. Поэтому в полупроводниковой СТ-схемотехнике, если требуется подать сигнал с выхода элемента на несколько входов других элементов, используют вариант элемента с несколькими тождественными комплектами выходов (см. Фиг.1 для $m \geq 2$). Для СТ-схемотехник типичны элементы с одним входом и несколькими выходами.

Чтобы облегчить чтение схем на СТ-элементах в дальнейшем используется следующий изобразительный прием: сборка выходов обозначается вертикальной линией, у верхнего конца которой стоит либо наименование элемента, ко входу которого эта сборка подключена, либо название формируемого сигнала. Слева от линии располагаются элементы, выходы которых задействованы в данной сборке, справа - элемент (либо выход всей схемы), на который поступает сформированный на сборке сигнал.

На Фиг.4 показана троичная двухвходовая (входы А и В) схема "И". Она имеет два выхода - прямой и инверсный: А И В и НЕ(А И В). Схема "И" содержит пять идентичных элементов: Э4.1, Э4.2, Э4.3, Э4.4, Э4.5.

В таблицах 7 и 8 содержатся таблицы истинности для троичной двухвходовой схемы "И".

Таблица 7		И	
В \ А	+1	0	-1
+1	+1	0	0
0	0	0	0
-1	0	0	-1

Таблица 8		НЕ (И)	
В \ А	+1	0	-1
+1	-1	0	0
0	0	0	0
-1	0	0	+1

Элементы Э4.1 и Э4.2 разделяют троичные переменные А и В на их двузначные компоненты. Элемент Э4.5 используется как формирователь констант (ФК). Пары +R и -R от Э4.1 и Э4.2 образуют две сборки, к которым также подключены выходы -1 и +1 от ФК. На сборке +R всегда имеется -1 от ФК, создающая отрицательный порог, а на сборке -R имеется +1 от ФК, создающая положительный порог. Если А=В=+1, отрицательный порог преодолевается и +1 появляется на входе Э4.3, или, если А=В=-1, преодолевается положительный порог и -1 появляется на входе Э4.4. Выход +R элемента Э4.3 образует сборку с выходом -R элемента Э4.4. На ней формируется трехзначный сигнал троичное - А И В. На сборке выходов +L и -L формируется сигнал НЕ(А И В).

На Фиг.5 представлен Троичный полусумматор. Его схема содержит пять идентичных элементов с одним блоком токовых переключателей ($m=1$): Э5.1, Э5.2, Э5.3, Э5.4, Э5.5 и два идентичных элемента с двумя блоками токовых переключателей ($m=2$): Э5.3, Э5.4.

В таблицах 9 и 10 приводятся таблицы истинности для выходов СУММА и ПЕРЕНОС Троичного полусумматора.

Таблица 9		СУММА	
В \ А	+1	0	-1
+1	-1	+1	0
0	+1	0	-1
-1	0	-1	+1

Таблица 10		ПЕРЕНОС	
В \ А	+1	0	-1
+1	+1	0	0
0	0	0	0
-1	0	0	-1

Элементы Э5.1 и Э5.2 разделяют троичные переменные А и В на их двузначные компоненты. Элемент Э5.5 используется как формирова-
 тель констант (ФК). Пары +R и -R от Э5.1 и Э5.2 образуют две сборки, к которым также подключены выходы -1 и +1
 от ФК. На сборке +R всегда имеется -1 от ФК, создающая отрицательный порог, а на
 сборке -R имеется +1 от ФК, создающая положительный порог. Если $A=B=+1$,
 отрицательный порог преодолевается и +1 появляется на входе Э5.3, или, если $A=B=-1$,
 преодолевается положительный порог и -1 появляется на входе Э5.4. Выход +R
 элемента Э5.3 образует сборку с выходом -R элемента Э5.4. На ней формируется
 трехзначный сигнал ПЕРЕНОС.

На вход элемента Э5.6 со сборки, объединяющей выходы +L и -L элементов Э5.1 и
 Э5.2, поступают два трехзначных сигнала, инверсных переменным А и В. На сборке
 выходов +L и -L Э5.6 формируется прямой сигнал А ИЛИ В. Сигнал А ИЛИ В
 отличается от сигнала СУММА в двух случаях: $A=B=+1$ и $A=B=-1$. В этих случаях
 значения сигнала СУММА инверсны значениям сигнала А ИЛИ В. Чтобы
 сформировать требуемый сигнал СУММА на сборку СУММА подается удвоенный
 инвертированный сигнал ПЕРЕНОС, который формируется путем объединения
 одноименных сигналов +L и -L с выходов элементов Э5.3 и Э5.4. Для удвоения
 (формирования сигналов $+2I_{\phi}$ и $-2I_{\phi}$) используют элементы Э5.3 и Э5.4 в варианте с
 двумя ТП и двумя комплектами выходов ($m=2$).

Литература

1. Брусенцов Н.П., Маслов С.П., Розин В.П., Тишулина А.М. Малая цифровая
 вычислительная машина "Сетунь". - М.: Изд-во Московского университета, 1965. 145
 с. <http://www.vntb.ru/files/Setun.pdf>.

2. Брусенцов Н.П., Жоголев Е.А. Структура и алгоритм функционирования малой
 вычислительной машины. // Вычислительная техника и вопросы кибернетики. Вып.8.
 Л.: Изд-во Ленингр. ун-та, 1971. С.34-51.

3. Брусенцов Н.П. Пороговая реализация трехзначной логики электромагнитными
 средствами. // Вычислительная техника и вопросы кибернетики. Вып.9. - М.: Изд-во
 Моск. ун-та, 1972. С.3-35. (Текст статьи доступен по запросу с адреса: <mailto:spmaslov@gmail.com>).

4. Брусенцов Н.П. Электромагнитные цифровые устройства с однопроводной
 передачей трехзначных сигналов. - В кн.: Магнитные элементы автоматики и
 вычислительной техники. XIV Всесоюзное совещание (Москва, сентябрь 1972 г.). М.,
 "Наука", 1972, с.242 - 244.

5. Шило В.Л. Популярныe цифровые микросхемы. Изд-во "Металлург", Челябинское отд., 1989, 352 с. (Массовая радиобиблиотека Вып.1111), с.285-295.

Формула изобретения

5 1. Пороговый элемент троичной логики, содержащий блок эмиттерных повторителей и, по меньшей мере, один блок токовых переключателей, причем блок эмиттерных повторителей состоит из двух эмиттерных повторителей, один из которых включает третий резистор и первый транзистор p-n-p типа, другой - пятый резистор и
10 второй транзистор n-p-n типа, коллекторы упомянутых транзисторов соединены между собой и подключены к общей шине элемента, а эмиттеры первого и второго транзисторов p-n-p типа и n-p-n типа через соответствующие резисторы соединены соответственно с шинами положительного и отрицательного питания элемента, вход блока эмиттерных повторителей является входом элемента, который предназначен
15 для подачи токовых сигналов и соединен с первым выводом первого резистора, подключенным к анодам второго и третьего диодов и катодам первого и четвертого диодов, причем катод третьего и анод четвертого диодов и второй вывод первого резистора соединены с общей шиной элемента, анод первого диода соединен с базой
20 первого транзистора p-n-p типа одного из эмиттерных повторителей и через второй резистор с шиной положительного питания элемента, с шиной отрицательного питания которого соединен через четвертый резистор катод второго диода и база второго транзистора n-p-n типа другого из эмиттерных повторителей, эмиттеры первого и второго транзисторов блока эмиттерных повторителей подключены к
25 базам третьего транзистора p-n-p типа и четвертого транзистора n-p-n типа блока токовых переключателей соответственно, коллекторы которых и коллекторы пятого и шестого транзисторов p-n-p и n-p-n типа являются с первой по четвертую выходными шинами элемента, эмиттеры третьего и пятого транзисторов p-n-p типа через первый
30 источник тока соединены с шиной положительного питания элемента, эмиттеры четвертого и шестого транзисторов n-p-n типа через второй источник тока соединены с шиной отрицательного питания элемента, база пятого транзистора p-n-p типа соединена с источником положительного опорного напряжения элемента, база шестого транзистора n-p-n соединена с источником отрицательного опорного
35 напряжения элемента.

2. Двухходовое устройство "И" троичной логики, содержащее пять пороговых элементов троичной логики по п.1, первая и вторая выходные шины первого и второго, вторая и четвертая выходные шины третьего и первая и третья выходные
40 шины четвертого пороговых элементов троичной логики соединены с общей шиной устройства, входы первого и второго пороговых элементов троичной логики являются входами троичных переменных устройства, третьи выходы первого и второго пороговых элементов троичной логики объединены со второй и четвертой
45 выходными шинами пятого порогового элемента троичной логики и соединены с входом третьего порогового элемента троичной логики, четвертые выходные шины первого и второго пороговых элементов троичной логики объединены с первой и третьей выходными шинами пятого порогового элемента троичной логики и соединены с входом четвертого порогового элемента троичной логики, вторая
50 выходная шина которого объединена с первой выходной шиной третьего порогового элемента троичной логики и является инверсным выходом устройства, прямым выходом которого является третья выходная шина третьего порогового элемента троичной логики, объединенного с четвертой выходной шиной четвертого порогового

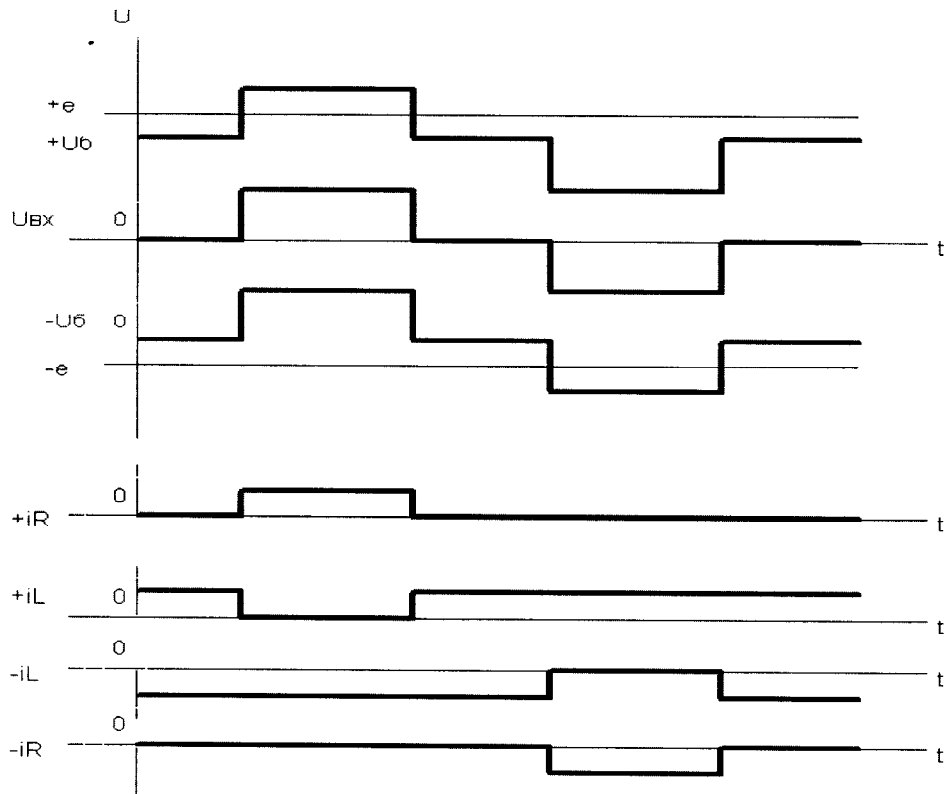
элемента троичной логики.

3. Устройство троичный полусумматор, содержащее четыре пороговых элемента троичной логики с одним и два элемента троичной логики с двумя блоками токовых переключателей, при этом первые и вторые выходные шины первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей объединены и соединены с входом четвертого порогового элемента троичной логики с одним блоком токовых переключателей, первая и вторая выходные шины которого объединены с первыми выходными шинами первого и второго блоков токовых переключателей первого элемента троичной логики с двумя блоками токовых переключателей, со вторыми выходными шинами первого и второго блоков токовых переключателей второго элемента троичной логики с двумя блоками токовых переключателей и является выходом суммы устройства, третьи выходные шины первого, второго и вторая и четвертая выходные шины третьего пороговых элементов троичной логики с одним блоком токовых переключателей объединены и соединены с входом первого элемента троичной логики с двумя блоками токовых переключателей, третья выходная шина второго блока токовых переключателей которого является выходной шиной переноса устройства и объединена с четвертой выходной шиной первого блока токовых переключателей второго блока троичной логики с двумя блоками токовых переключателей, вход которого объединен с третьей и первой выходными шинами третьего порогового элемента троичной логики с одним блоком токовых переключателей и четвертыми выходными шинами первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей, третья, вторая, четвертая выходные шины первого блока токовых переключателей и вторая и четвертая выходные шины второго блока токовых переключателей первого порогового элемента троичной логики с двумя блоками токовых переключателей объединены с первой и третьей выходными шинами первого и второго блоков токовых переключателей второго элемента троичной логики с двумя блоками токовых переключателей, с четвертой выходной шиной второго блока токовых переключателей второго порогового элемента троичной логики с двумя блоками токовых переключателей и общей шиной устройства, входы первого и второго пороговых элементов троичной логики с одним блоком токовых переключателей соединены с входами первого и второго слагаемых устройства.

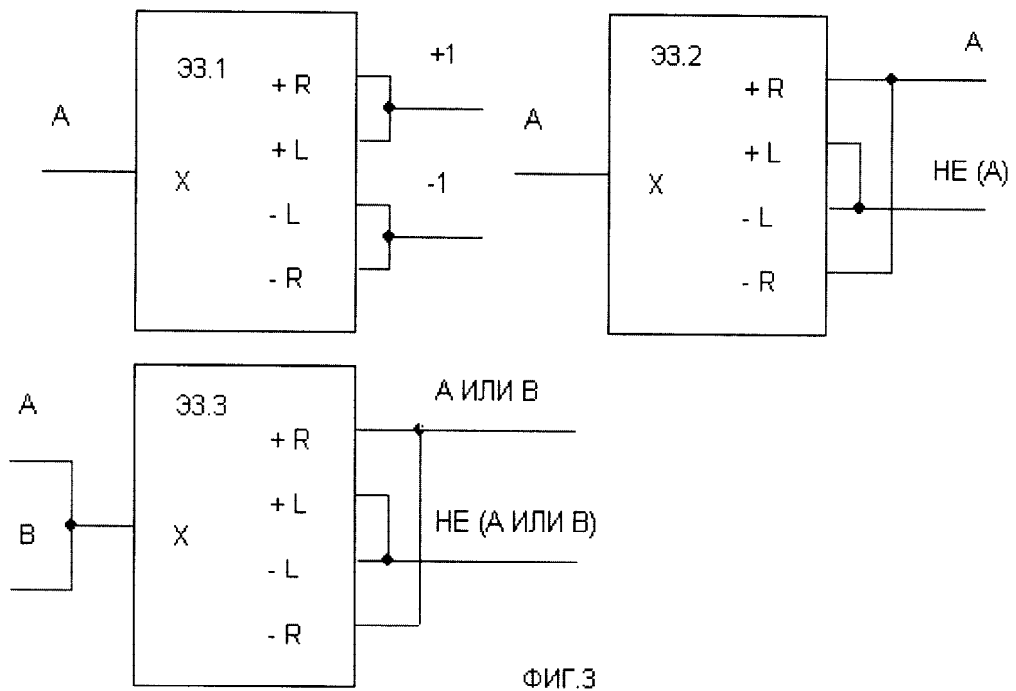
40

45

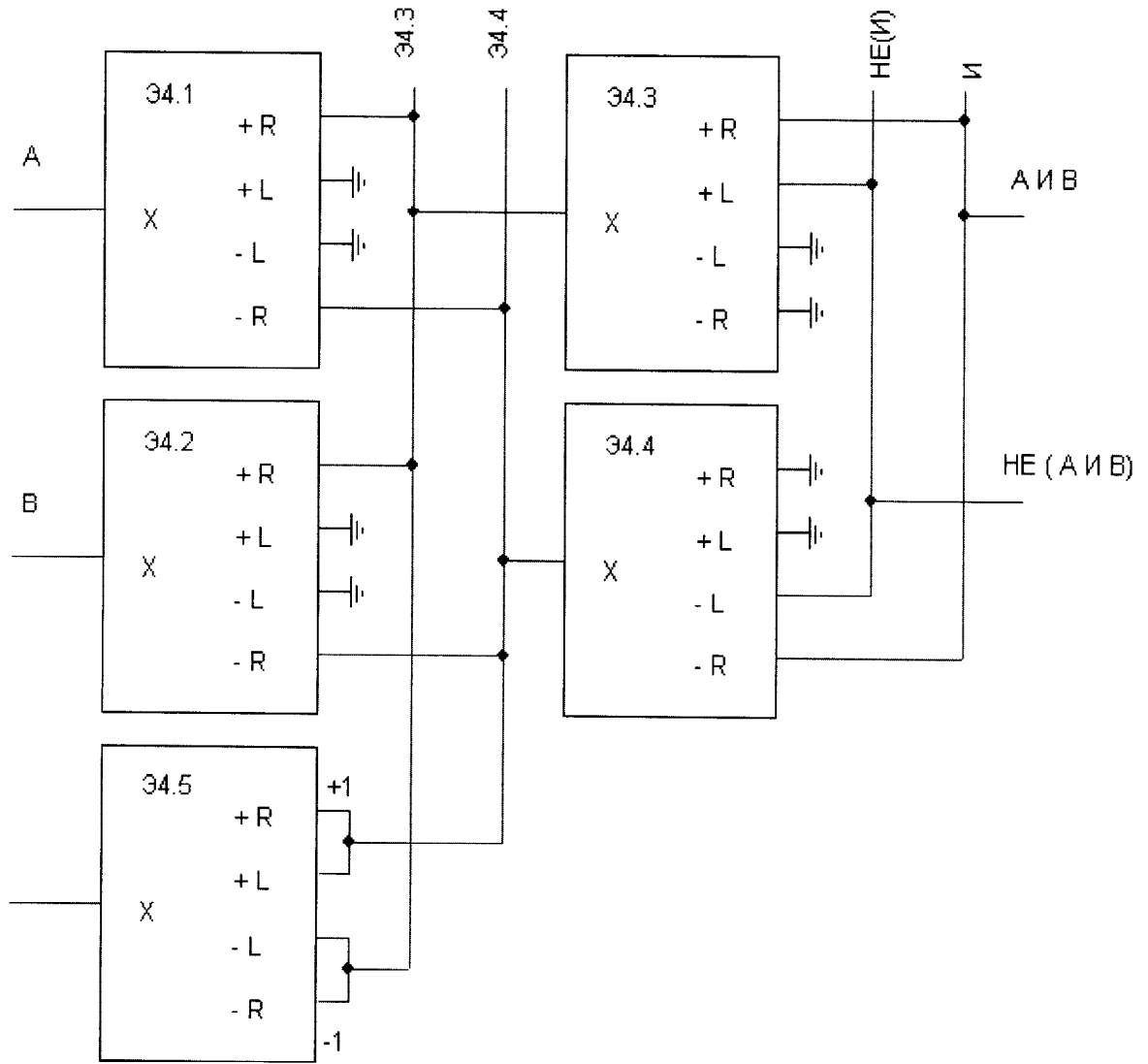
50



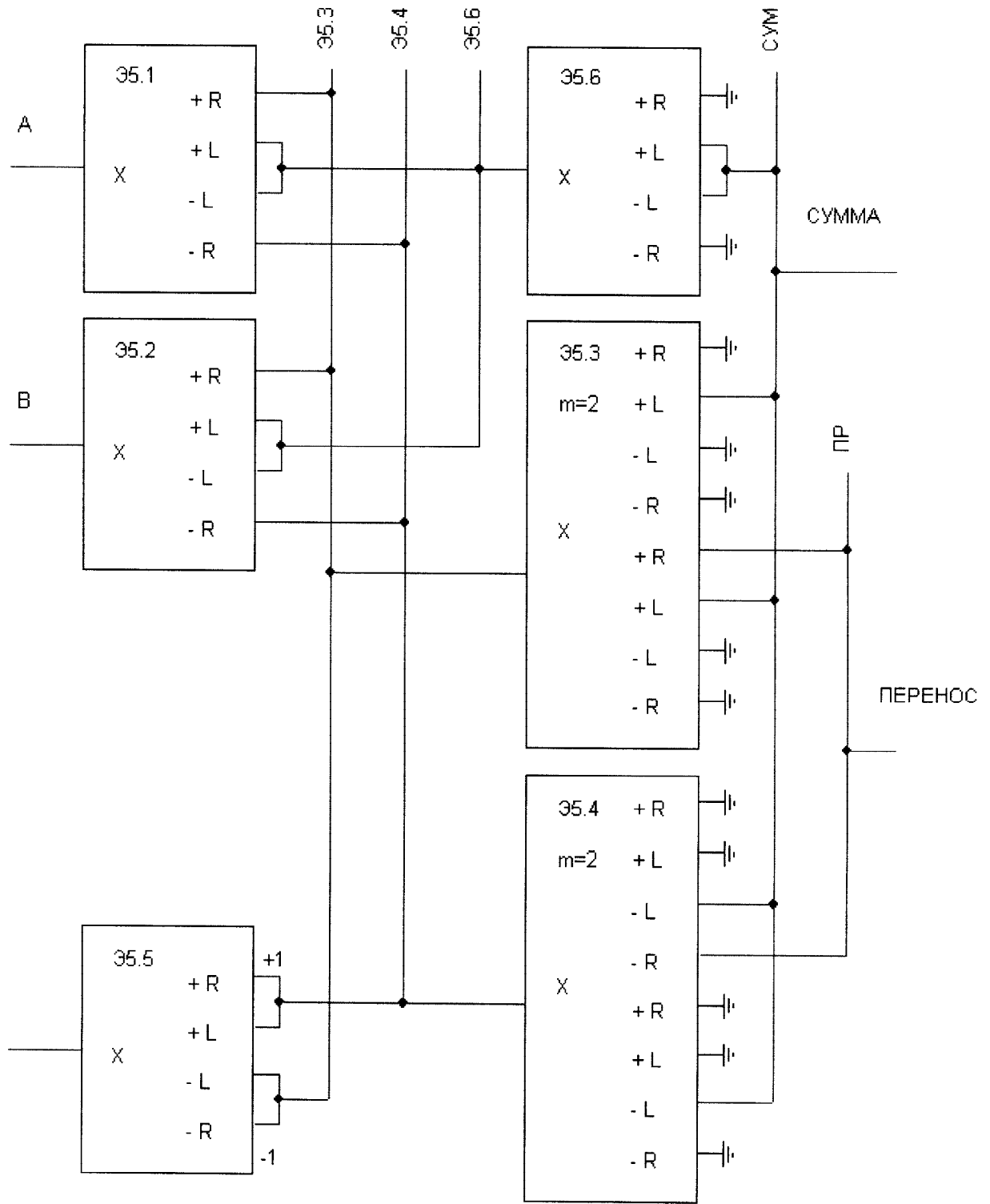
Фиг. 2



ФИГ.3



ФИГ.4



ФИГ.5